

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-262051

(43)Date of publication of application : 22.09.2000

(51)Int.Cl.

H02M 3/28

(21)Application number : 11-057833

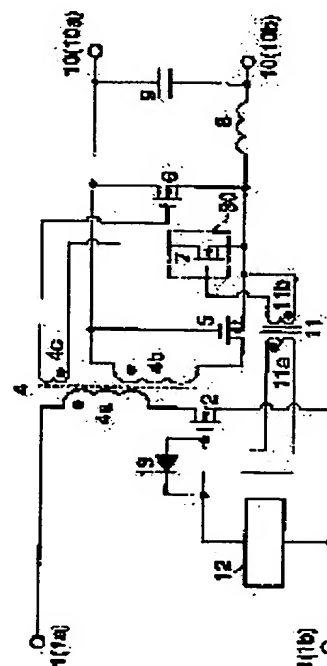
(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 05.03.1999

(72)Inventor : MATSUMOTO MASAHIKO
NAGAI ATSUSHI**(54) INSULATED DC-TO-DC CONVERTER****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide an insulated DC/DC converter which is superior in circuit efficiency and is low in noise.

SOLUTION: This converter is provided with a main switch element 2 on the primary side of a main transformer 4, and a synchronous rectifying element 5 on rectification side, a synchronous rectifying element 6 on commutation side, and a drive switch element 7 on the secondary side. The main switch element 2 is controlled to be switched by the control pulse of a PWM control circuit 12. In synchronization with the on-period of the main switch element 2, the synchronous rectifying element 5 and the drive switch element 7 are turned on, and the synchronous rectifying element 6 on commutation side is turned off. In the on-period of the main switch element 2, the primary power of the main transformer 4 is transmitted to the secondary side, and DC output is sent out to from an output terminal 10. The primary side of a drive transformer 11 is connected to a path leading to the main switch 2 from a PWM control circuit 11, and at the outputting of the on signal from the PWM control circuit 12, the reset pulse of the drive transformer 11 is added to the drive switch element 7 to cause the synchronous rectifying element 6 to be turned off on communication side before the main switch 2 is turned on.

**LEGAL STATUS**

[Date of request for examination] 07.08.2000

[Date of sending the examiner's decision of rejection] 14.05.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3339452

[Date of registration] 16.08.2002

[Number of appeal against examiner's decision 2002-09939
of rejection]

[Date of requesting appeal against examiner's 04.06.2002
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-262051

(P 2000-262051 A)

(43) 公開日 平成12年9月22日 (2000. 9. 22)

(51) Int. Cl. ⁷

H 0 2 M 3/28

識別記号

F I

H 0 2 M 3/28

テーマコード* (参考)

E 5H730

F

審査請求 未請求 請求項の数 7

O L

(全 13 頁)

(21) 出願番号 特願平11-57833

(22) 出願日 平成11年3月5日 (1999. 3. 5)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 松本 匡彦

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 長井 淳

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(74) 代理人 100093894

弁理士 五十嵐 清

F ターム (参考) 5H730 AA02 BB23 DD04 DD42 EE08

EE10 EE13 EE19 EE72 FF18

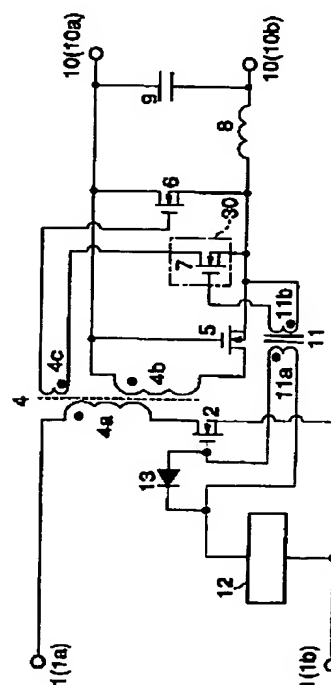
FG05

(54) 【発明の名称】 絶縁型 DC-DC コンバータ

(57) 【要約】

【課題】 回路効率に優れ低ノイズの絶縁型 DC-DC コンバータを提供する。

【解決手段】 メイントランス 4 の 1 次側に主スイッチ素子 2 を、2 次側には整流側同期整流素子 5 と転流側同期整流素子 6 と駆動スイッチ素子 7 を設ける。PWM 制御回路 12 の制御パルスによって主スイッチ素子 2 をスイッチング制御する。主スイッチ素子 2 のオン期間に同期させて同期整流素子 5 と駆動スイッチ素子 7 をオンさせ、転流側同期整流素子 6 をオフさせる。主スイッチ素子 2 のオン期間にメイントランス 4 の 1 次側の電力を 2 次側に伝達し、出力端子 10 から直流出力を送出する。PWM 制御回路 12 から主スイッチ素子 2 に至る経路にドライバトランス 11 の 1 次側を接続し、PWM 制御回路 12 からのオン信号出力時に、ドライバトランス 11 のリセットパルスを駆動スイッチ素子 7 に加え、主スイッチ素子 2 がターンオンする前に転流側同期整流素子 6 をターンオフさせる。



【特許請求の範囲】

【請求項 1】 メイントランスによって 1 次側回路と 2 次側回路が絶縁され、1 次側回路には制御パルスによる入力容量の充放電動作によってオン・オフ駆動される主スイッチ素子を備え、2 次側回路には少なくとも前記主スイッチ素子のオン駆動に同期させてオフ駆動する同期整流素子が設けられ、前記主スイッチ素子のオン駆動と前記同期整流素子のオフ駆動を同期させ、主スイッチ素子のオン・オフ駆動によって 1 次側回路から 2 次側回路にエネルギーを伝達し、2 次側回路で整流平滑して直流電圧を出力端から出力する絶縁型 DC-DC コンバータにおいて、前記主スイッチ素子の入力容量の充電経路にドライブトランスの 1 次コイルが接続され、ドライブトランスの 2 次側には、前記制御パルスによる主スイッチ素子のオン駆動時に、主スイッチ素子の入力容量が充電してターンオンする前に前記ドライブトランスの 2 次側出力を用いて前記同期整流素子をターンオフさせる同期整流素子の早期オフ駆動回路が設けられていることを特徴とする絶縁型 DC-DC コンバータ。

【請求項 2】 早期オフ駆動回路によってターンオフ駆動される同期整流素子のターンオン信号はメイントランスのリセットパルスによって供給される構成とした請求項 1 記載の絶縁型 DC-DC コンバータ。

【請求項 3】 主スイッチ素子へ制御パルスを供給する経路に npn トランジスタと pnp トランジスタのエミッタ側同士を接続して成るトータムボール回路をそれぞれのトランジスタのベース側を制御パルスの供給源側として介設し、ドライブトランスの 1 次コイルの一端側には補助電源を接続し、この補助電源からドライブトランスの 1 次コイルおよびトータムボール回路の npn トランジスタを経由して主スイッチ素子の入力容量に至る経路を充電経路と成し、制御パルスのオン出力時に補助電源出力をトータムボール回路で増幅してドライブトランスの 1 次コイルへ供給する構成とした請求項 1 又は請求項 2 記載の絶縁型 DC-DC コンバータ。

【請求項 4】 同期整流素子は入力容量の充放電によってオン・オフするスイッチ素子と成し、早期オフ駆動回路は、該同期整流素子の入力容量の放電経路に介設されスイッチオンによって同期整流素子の入力容量を放電させて同期整流素子をオフさせる駆動スイッチ素子と、主スイッチ素子のオン駆動時に出力されるドライブトランスの 2 次コイルのパルス出力をそのオン期間を広げて前記駆動スイッチ素子にスイッチオン駆動信号として加えるパルス幅開拓回路とを有して構成されている請求項 1 又は請求項 2 記載の絶縁型 DC-DC コンバータ。

【請求項 5】 主スイッチ素子の入力容量の充電経路には、主スイッチ素子のオン駆動時に該主スイッチ素子がターンオンする前に主スイッチ素子の入力容量を瞬間的に短絡してドライブトランスの 1 次コイルへの供給電圧を高めてドライブトランスの出力をアップする瞬間短絡

動作回路が接続されている請求項 1 又は請求項 2 記載の絶縁型 DC-DC コンバータ。

【請求項 6】 早期オフ駆動回路は主スイッチ素子のオン駆動時にドライブトランスから出力されるパルス信号を同期整流素子のオフ駆動信号に変換する論理回路によって構成されている請求項 1 又は請求項 2 記載の絶縁型 DC-DC コンバータ。

【請求項 7】 メイントランスによって 1 次側回路と 2 次側回路が絶縁され、1 次側回路には制御パルスによる入力容量の充放電動作によってオン・オフ駆動される主スイッチ素子を備え、2 次側回路には少なくとも前記主スイッチ素子のオン駆動に同期させてオフ駆動する同期整流素子が設けられ、前記主スイッチ素子のオン駆動と前記同期整流素子のオフ駆動を同期させ、主スイッチ素子のオン・オフ駆動によって 1 次側回路から 2 次側回路にエネルギーを伝達し、2 次側回路で整流平滑して直流電圧を出力端から出力する絶縁型 DC-DC コンバータにおいて、前記主スイッチ素子の入力容量の充電経路にドライブトランスの 1 次コイルとコンデンサとの直列回路が主スイッチ素子の入力容量に並列に接続され、ドライブトランスの 2 次側には、前記制御パルスによる主スイッチ素子のオン駆動時に、主スイッチ素子の入力容量が充電してターンオンする前に前記ドライブトランスの 2 次側出力を用いて前記同期整流素子をターンオフさせる同期整流素子の早期オフ駆動回路が設けられていることを特徴とする絶縁型 DC-DC コンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、スイッチング電源等中使用され、定電圧を出力する絶縁型 DC-DC コンバータに関するものである。

【0002】

【従来の技術】 定電圧を出力する回路として絶縁型 DC-DC コンバータが知られており、図 11 にはその従来例のフォワードコンバータタイプの回路が示されている。この回路は特開平 3-235668 号公報に開示されているものである。

【0003】 同図において、1 は入力端子で、1a は (+) 入力、1b は (-) 入力、2 は主スイッチ素子、3 はダイオード、4 はメイントランス、5 は主スイッチ素子 2 がスイッチオン時に導通する同期整流素子（整流側同期整流素子）、6 は主スイッチ素子 2 がスイッチオフ時に導通する同期整流素子（転流側同期整流素子）、7 は転流側同期整流素子 6 の駆動スイッチ素子、8 はチョークコイル、9 はコンデンサ、D はそれぞれの素子の寄生ダイオードである。また、10 は出力端子で、10a は (+) 出力、10b は (-) 出力であり、2、5、6、7、のスイッチ素子は N チャンネル MOS FET である。

【0004】 この回路において、入力端子 1 から入力さ

れた直流電力は、主スイッチ素子 2 のスイッチング動作によって、交流に変換される。主スイッチ素子 2 のオン期間にメイントランス 4 によって交流電力は 2 次側回路に伝達される。そして、交流電力は同期整流素子 5、6 で整流された後、チョークコイル 8、コンデンサ 9 によって再び直流に変換されて出力端子 10 から出力される。

【0005】整流側同期整流素子 5 および駆動スイッチ素子 7 は、主スイッチ素子 2 のスイッチング動作に起因して生じるメイントランス 4 の電圧変化によって、主スイッチ素子 2 がオンの時にオンするように駆動される。従って、主スイッチ素子 2 のオン期間では、メイントランス 4 の 2 次側で、電流は図の実線の経路で流れ、チョークコイル 8 に電磁エネルギーが蓄えられ、出力端子 10 から出力電圧が送出される。

【0006】主スイッチ素子 2 がオフしてメイントランス 4 にリセットパルスが発生すると、駆動スイッチ素子 7 の寄生ダイオード D を通して転流側同期整流素子 6 の入力容量が充電され、転流側同期整流素子 6 がオンする。主スイッチ素子 2 のオフ期間の途中でメイントランス 4 のリセットが完了してリセットパルスがなくなっても、主スイッチ素子 2 がオンするまで駆動スイッチ素子 7 はオフ状態を維持する。従って、駆動スイッチ素子 7 のオフ期間は同期整流素子 6 の入力容量の充電電荷の放電経路が閉ざされるので、転流側同期整流素子 6 はオン状態を維持する。主スイッチ素子 2 のオフ期間においてはチョークコイル 8 に蓄積された電磁エネルギーによって電流が図の点線の経路で流れ、出力端子 10 から出力電圧が送出される。

【0007】この従来の回路では、整流側同期整流素子 5 のオン・オフ動作を主スイッチ素子 2 のオン・オフ動作に同期させている。その上で、さらに、駆動スイッチ素子 7 を設けることによって、主スイッチ素子 2 のオフ期間の全期間にわたって転流側同期整流素子 6 をオンさせることができるので、回路効率が改善されるというものである。

【0008】

【発明が解決しようとする課題】従来例の回路は、主スイッチ素子 2 のターンオンに同期させて整流側同期整流素子 5 と駆動スイッチ素子 7 をオン動作することができる。しかしながら、転流側同期整流素子 6 は駆動スイッチ素子 7 がオンした後、転流側同期整流素子 6 の入力容量の電荷が駆動スイッチ素子 7 を通り放電されてからオンする。そのため、駆動スイッチ素子 7 がオンしてから転流側同期整流素子 6 がオンするまで数十 n s c の遅れが生じる。この遅れのため、主スイッチ素子 2 がオンして整流側同期整流素子 5 がオンした直後には転流側同期整流素子 6 が未だオン状態にあるため、メイントランス 4 の 2 次コイルが短絡状態となる。この短絡現象によ

子 6、整流側同期整流素子 5、メイントランス 4 の 2 次コイルを順に通る経路に大量の短絡電流が流れる。

【0009】この短絡電流は整流側同期整流素子 5 がオンしてから転流側同期整流素子 6 がオフする期間に流れる。この短絡電流の流れによって無視できない大きな導通損失およびノイズが発生する。このため、本来、主スイッチ素子 2 のオン・オフ動作に整流素子 5、6 の動作を同期させて回路効率を高めようとしたにも拘らず、前記短絡電流の導通損失のため、回路効率がかえって悪くなり、かつ、ノイズの発生によって、回路動作の性能も悪くなるという問題が発生した。

【0010】特に、前記短絡電流による導通損失は、主スイッチ素子 2 のスイッチング周波数に比例して大きくなるため、従来の回路は、DC-DC コンバータの小型化を目的としたスイッチング周波数の高周波化を図る上で支障となる。

【0011】本発明は、上記従来の課題を解決するために成されたものであり、その第 1 の目的は、主スイッチ素子 2 のオフ期間のほぼ全域で、同期整流素子 6 をオンさせることで、導通損失を低減することである。また、本発明の第 2 の目的は、主スイッチ素子 2 がターンオンするときに、同期整流素子 6 のターンオフの遅れを防止して、前記短絡電流を無くし、回路の高効率化および低ノイズ化を達成し、スイッチング周波数の高周波化に伴う小型化が可能な絶縁型 DC-DC コンバータを提供することである。

【0012】

【課題を解決するための手段】本発明は上記目的を達成するために、次のような手段を講じたことを特徴とする。すなわち、第 1 の発明は、メイントランスによって 1 次側回路と 2 次側回路が絶縁され、1 次側回路には制御パルスによる入力容量の充放電動作によってオン・オフ駆動される主スイッチ素子を備え、2 次側回路には少なくとも前記主スイッチ素子のオン駆動に同期させてオフ駆動する同期整流素子が設けられ、前記主スイッチ素子のオン駆動と前記同期整流素子のオフ駆動を同期させ、主スイッチ素子のオン・オフ駆動によって 1 次側回路から 2 次側回路にエネルギーを伝達し、2 次側回路で整流平滑して直流電圧を出力端から出力する絶縁型 DC-DC コンバータにおいて、前記主スイッチ素子の入力容量の充電経路にドライブトランスの 1 次コイルが接続され、ドライブトランスの 2 次側には、前記制御パルスによる主スイッチ素子のオン駆動時に、主スイッチ素子の入力容量が充電してターンオンする前に前記ドライブトランスの 2 次側出力を用いて前記同期整流素子をターンオフさせる同期整流素子の早期オフ駆動回路が設けられていることを特徴とする。

【0013】また、第 2 の発明は、前記第 1 の発明の構成を備えたものにおいて、早期オフ駆動回路によってターンオフ駆動される同期整流素子のターンオン信号はメ

イントランスのリセットパルスによって供給される構成としたことを特徴とする。

【0014】さらに、第3の発明は、前記第1又は第2の発明の構成を備えたものにおいて、主スイッチ素子へ制御パルスを供給する経路にn p nトランジスタとp n pトランジスタのエミッタ側同士を接続して成るトータムボール回路をそれぞれのトランジスタのベース側を制御パルスの供給源側として介設し、ドライブトランスの1次コイルの一端側には補助電源を接続し、この補助電源からドライブトランスの1次コイルおよびトータムボール回路のn p nトランジスタを経由して主スイッチ素子の入力容量に至る経路を充電経路と成し、制御パルスのオン出力時に補助電源出力をトータムボール回路で増幅してドライブトランスの1次コイルへ供給する構成としたことを特徴とする。

【0015】さらに、第4の発明は、前記第1又は第2の発明の構成を備えたものにおいて、同期整流素子は入力容量の充放電によってオン・オフするスイッチ素子と成し、早期オフ駆動回路は、該同期整流素子の入力容量の放電経路に介設されスイッチオンによって同期整流素子の入力容量を放電させて同期整流素子をオフさせる駆動スイッチ素子と、主スイッチ素子のオン駆動時に出力されるドライブトランスの2次コイルのパルス出力をそのオン期間を広げて前記駆動スイッチ素子にスイッチオン駆動信号として加えるパルス幅開拓回路とを有して構成されていることを特徴とする。

【0016】さらに、第5の発明は、前記第1又は第2の発明の構成を備えたものにおいて、主スイッチ素子の入力容量の充電経路には、主スイッチ素子のオン駆動時に該主スイッチ素子がターンオンする前に主スイッチ素子の入力容量を瞬間的に短絡してドライブトランスの1次コイルへの供給電圧を高めてドライブトランスの出力をアップする瞬間短絡動作回路が接続されていることを特徴とする。。

【0017】さらに、第6の発明は、前記第1又は第2の発明の構成を備えたものにおいて、早期オフ駆動回路は主スイッチ素子のオン駆動時にドライブトランスから出力されるパルス信号を同期整流素子のオフ駆動信号に変換する論理回路によって構成されていることを特徴とする。

【0018】さらに、第7の発明は、メイントランスによって1次側回路と2次側回路が絶縁され、1次側回路には制御パルスによる入力容量の充放電動作によってオン・オフ駆動される主スイッチ素子を備え、2次側回路には少なくとも前記主スイッチ素子のオン駆動に同期させてオフ駆動する同期整流素子が設けられ、前記主スイッチ素子のオン駆動と前記同期整流素子のオフ駆動を同期させ、主スイッチ素子のオン・オフ駆動によって1次側回路から2次側回路にエネルギーを伝達し、2次側回路で整流平滑して直流電圧を出力端から出力する絶縁型D

C-DCコンバータにおいて、前記主スイッチ素子の入力容量の充電経路にドライブトランスの1次コイルとコンデンサとの直列回路が主スイッチ素子の入力容量に並列に接続され、ドライブトランスの2次側には、前記制御パルスによる主スイッチ素子のオン駆動時に、主スイッチ素子の入力容量が充電してターンオンする前に前記ドライブトランスの2次側出力を用いて前記同期整流素子をターンオフさせる同期整流素子の早期オフ駆動回路が設けられていることを特徴とする。

10 【0019】本発明において、主スイッチ素子のオフ期間の後、制御パルスのオン信号が主スイッチ素子に加えられ、充電経路を通して供給される電流によって、主スイッチ素子の入力容量が充電を開始する。その一方で、制御パルスのオン期間に充電経路を通して供給される電流はドライブトランスの1次コイルに供給される。そして、ドライブトランスの2次コイルにリセットパルス電圧が発生する。このパルス電圧を受けて早期オフ駆動回路は主スイッチ素子が充電完了（入力容量の電位がターンオンのスレッシュホールド電位に達するまで充電されること）してターンオンする前に同期整流素子をターン

20 オフさせる。
【0020】したがって、メイントランスの1次側から2次側に電力が伝達されたときには同期整流素子はオフしているので、この同期整流素子によって回路が短絡されることは無い。したがって、同期整流素子のターンオフ遅れによって、短絡電流が同期整流素子を通して流れるという従来の問題が解消され、短絡電流に起因した導通損失やノイズの発生が無く、高効率高性能の絶縁型DC-C-DCコンバータの提供が可能となるものである。

30 【0021】

【発明の実施の形態】以下、本発明の実施形態例を図面に基づき説明する。なお、以下の各実施形態例の説明において、従来例を含め、共通の回路構成要素には共通の符号を付し、その重複説明は省略又は簡略化する。図1には本発明に係る絶縁型DC-C-DCコンバータの第1実施形態例の回路構成が示され、図2にはその主要な動作波形が示されている。この絶縁型DC-C-DCコンバータは共振リセットフォワードコンバータタイプのもので、入力端子1に直流電力が加えられている。この入力端子1のうちの1aは(+)側の入力端子であり、1bは

40 (−)側の入力端子である。
【0022】入力端子1aにはメイントランス4の1次コイル4aの巻き始め端が接続されている。1次コイル4aの巻き終わり端はMOS FETからなる主スイッチ素子2のドレインに接続されている。主スイッチ素子2のソースは入力端子1b側に接続されている。主スイッチ素子2のゲートにはドライブトランス11の1次コイル11aの巻き始め端が接続されている。1次コイル11aの巻き終わり端と入力端子1bとの間にはPWM制御回路（パルス幅制御回路）12が介設されている。

等価回路的には、1次コイル11aの励磁インダクタンスLと主スイッチ素子2の入力容量Cとは直列LC共振回路を構成する。なお、図1には図示されていないが、このPWM制御回路12を駆動する直流の補助電源がメイントランス4の1次側に設けられている。

【0023】前記PWM制御回路12は主スイッチ素子2に矩形の制御パルスを出力する回路であり、PWM制御回路12の出力端からドライブトランス11の1次コイル11aを経由して主スイッチ素子2のゲートに至る経路は主スイッチ素子2の入力容量の充電経路を構成している。1次コイル11aの両端間にはアノード側を1次コイル11aの巻き始め端側（主スイッチ素子2のゲート側）にしたダイオード13が接続されている。

【0024】前記メイントランス4はコアを共通にして1次コイル4aと、2次コイル2bと、3次コイル4cとが巻装されてなるもので、2次コイル4bの巻き始め端はMOS FETのスイッチ素子からなる同期整流素子（整流側同期整流素子）5のゲート側に接続されている。同期整流素子5のドレインは2次コイル4bの巻き終わり端に接続されている。

【0025】また、2次コイル4bの巻き始め端側にはMOS FETのスイッチ素子からなる同期整流素子（転流側同期整流素子）6のドレイン側が接続されている。転流側同期整流素子6のゲートは前記3次コイル4cの巻き終わり端に接続されている。3次コイル4cの巻き始め端はMOS FETからなる駆動スイッチ素子7のドレインに接続されている。駆動スイッチ素子7のゲートはドライブトランス11の2次コイル11bの巻き終わり端に接続されている。2次コイル11bの巻き始め端と駆動スイッチ素子7のソース端と転流側同期整流素子6のソース端と前記整流側同期整流素子5のソース端は共通の導通ラインに接続されている。

【0026】整流側同期整流素子5と転流側同期整流素子6と駆動スイッチ素子7のそれぞれの共通ソース端側にはチョークコイル8の一端側が接続されている。チョークコイル8の他端側にはコンデンサ9の一端が接続され、コンデンサ9の他端は2次コイル4bの巻き始め端と、整流側同期整流素子5のゲートと、転流側同期整流素子6のドレインとの共通接続導通ラインに接続されている。コンデンサ9の両端は出力端子10となっており、そのうち、10aは（+）側出力端子であり、10bは（-）側出力端子である。なお、図から明らかなように、各スイッチ素子2、5、6、7はNチャンネルMOS FETである。

【0027】第1実施形態例の絶縁型DC-DCコンバータは上記のように構成され、前記従来例と同様に、入力端子1から入力する直流電力は、主スイッチ素子2のスイッチング動作によって交流電力に変換され、メイントランス4の1次側からメイントランス4の2次側に伝達される。そして、この伝達された交流電力は、メイン

トランス4の2次側で、同期整流素子5、6で整流された後、チョークコイル8およびコンデンサ9によって直流に変換されて出力端子10から負荷へ送出される。

【0028】この実施形態例において特徴的なことは、PWM制御回路12から主スイッチ素子2に制御パルスのオン信号が加えられたときに、主スイッチ素子2がターンオンする前に転流側の同期整流素子6をターンオフさせる特有な回路を付加したことである。本実施形態例において、この特有な回路は、ドライブトランス11と早期オフ駆動回路30とによって構成され、この第1実施形態例では、駆動スイッチ素子7が早期オフ駆動回路30として機能している。

【0029】次にこのドライブトランス11と早期オフ駆動回路30の特有な動作を説明する。まず、PWM制御回路12から図2の（a）に示すような制御パルスのオン信号が出力されると、このオン信号は充電経路を通じてドライブトランス11の1次コイル11aと主スイッチ素子2の入力容量に加えられる。この制御パルスのオン信号を受けて主スイッチ素子2の入力容量は充電を開始する。一方ドライブトランス11は1次コイル11aにオン信号を受けて図2の（c）に示すごとく瞬間的に駆動スイッチ素子7の入力容量を充電するに十分なパルス電圧を2次コイル11bに誘起する。このリセットパルスは1次コイル11aの励磁インダクタンスLと主スイッチ素子2の入力容量Cとの直列LC共振によって作成され、例えば800Hzという如く周波数の低い制御パルスのオン信号が高周波のリセットパルスに信号変換される。

【0030】この2次コイル11bのパルス電圧を受けて駆動スイッチ素子7の入力容量は瞬間的に充電を終了し、駆動スイッチ素子7をターンオンさせる。駆動スイッチ素子7がターンオンすると、転流側同期整流素子6の入力容量の電荷が3次コイルおよび駆動スイッチ素子7を通る放電経路を通過して引き抜き放電される。この電荷の放電により、転流側同期整流素子6は未だ主スイッチ素子2がターンオン（図2の（b）のA点がターンオン位置）の充電電位に達する前にターンオフする（図2の（f）のB点がターンオフ位置）。

【0031】したがって、主スイッチ素子2がターンオンして整流側同期整流素子5がターンオンする前にすでに転流側同期整流素子6がターンオフしているため、整流側同期整流素子5がターンオンしたときにメイントランス4の2次コイル4bが転流側同期整流素子6によって短絡されるということが無い。この結果、転流側同期整流素子6のターンオフの遅れによってメイントランス4の2次側に短絡電流が流れて、導通損失が増大し、かつ、ノイズが発生するという従来回路の問題点を完璧に解消解決することが可能となる。

【0032】なお、主スイッチ素子2のオン期間においては、2次コイル4b、コンデンサ9、チョークコイル

10

20

30

40

50

8、整流側同期整流素子5、2次コイル4bを順に通る経路で、電流が流れ、出力端子10から直流出力が負荷（図示せず）へ送出される。

【0033】また、PWM制御回路12から制御パルスのオフ信号が充電経路を通して主スイッチ素子2に加えられると、主スイッチ素子2の入力容量の電荷がPWM制御回路12を通して入力端子1b側（アース側）に引き抜かれるので、主スイッチ素子2はターンオフする。そうすると、メイントランス4およびドライブトランス11の極性が反転し、メイントランス4から発するリセットパルスによって（このリセットパルスに同期して）、整流側同期整流素子5がターンオフし、転流側同期整流素子6がターンオンする。転流側同期整流素子6は3次コイル4cから供給されるリセットパルスによってターンオンするが、そのリセットパルスが主スイッチ素子2のオフ期間の途中で無くなっても、駆動スイッチ素子7がオフされているので、転流側同期整流素子6の入力容量の電荷の放電経路が閉ざされた状態となる。その結果、転流側同期整流素子6は主スイッチ素子2のオフ期間のほぼ全領域にわたってオン状態を維持することとなるので、主スイッチ素子2のオフ期間での回路効率を高めることも可能である。

【0034】また、転流側同期整流素子6のターンオン信号を3次コイル4cから加える構成としているので、3次コイル4cの巻数の最適設計により、転流側同期整流素子6のターンオン駆動電圧を最適電圧に設定できるという効果が得られる。

【0035】なお、主スイッチ素子2のオフ期間においては、チョークコイル8の電磁エネルギーの電流がチョークコイル8、転流側同期整流素子6、コンデンサ9、チョークコイル8を順に通る経路で流れ、出力端子10から負荷に直流電圧が加えられる。また、この実施形態例においても、従来例と同様に、メイントランス4の出力（電圧）が検出され、この出力が一定となるようにPWM制御回路12により、制御パルスのパルス幅制御が行われる。

【0036】図3は、本発明に係る絶縁型DC-DCコンバータの第2実施形態例の回路構成が示されている。この第2実施形態例が前記第1実施形態例と異なる点は、主スイッチ素子2の充電経路にトータムポール回路を接続し、ダイオード13を省略したことである。それ以外の構成は前記第1実施形態例と同様である。

【0037】図3において、補助電源14の負極は入力端子1b側に接続され、補助電源14の正極はドライブトランス11の1次コイル11aの巻き始め端に接続されている。トータムポール回路はnpnトランジスタ15のエミッタとpnpトランジスタ16のエミッタを接続することによって形成されている。トランジスタ15、16のエミッタ相互の接続点は主スイッチ素子2のゲートに接続され、トランジスタ15、16のベースは

それぞれPWM制御回路12の出力端に接続されている。そして、npnトランジスタ15のコレクタは1次コイル11aの巻き終わり端に、pnpトランジスタ16のコレクタは入力端子1bにそれぞれ接続されている。

【0038】補助電源14の正極から1次コイル11a、npnトランジスタ15を順に経て主スイッチ素子2のゲートに至る経路は主スイッチ素子2の入力容量の充電経路と成している。また、主スイッチ素子2のゲートからpnpトランジスタ16を経て入力端子1bに至る経路は主スイッチ素子2の入力容量の放電経路と成している。

【0039】この第2実施形態例では、PWM制御回路12から制御パルスのオン信号がnpnトランジスタ15とpnpトランジスタ16のベースに加えられると、npnトランジスタ15はターンオンし、pnpトランジスタ16はターンオフする。この結果、補助電源14の直流電力は充電経路を通してドライブトランス11の1次コイル11aと主スイッチ素子2の入力容量に加えられ、前記第1実施形態例と同様に、主スイッチ素子2がターンオンする前に転流側同期整流素子6をターンオフすることができ、第1実施形態例と同様な効果を奏する。なお、トータムポール回路は電流増幅作用があるので、メイントランス4の1次コイル11aへより大きな電流を加えることができるという利点が得られる。

【0040】図4は本発明の第3実施形態例の回路構成を示す。この第3実施形態例が前記図1に示す第1実施形態例と異なることは、早期オフ駆動回路30を駆動スイッチ素子7とパルス幅開拓回路とによって構成したことである。それ以外の構成は第1実施形態例と同様である。駆動スイッチ素子7は第1実施形態例の場合と同様に転流側同期整流素子6の放電経路に介設されている。パルス幅開拓回路はダイオード17と抵抗体18、19によって構成されている。このパルス幅開拓回路はドライブトランス11の2次コイル11bの巻き終わり端と駆動スイッチ素子7のゲート間に接続されている。

【0041】すなわち、ダイオード17のアノードが2次コイル11bの巻き終わり端に接続され、ダイオード17のカソードが駆動スイッチ素子7のゲートに接続されている。そして、ダイオード17に抵抗体18が並列接続され、ダイオード17のカソードと駆動スイッチ素子7のゲートとの接続部に抵抗体19の一端側が接続され、抵抗体19の他端側はメイントランス4の2次コイル4bの巻き始め端と出力端子10aを結ぶプラス側出力ラインLに接続されている。

【0042】この第3の実施形態例はドライブトランス11の2次コイル11bから発せられるリセットパルス（PWM制御回路12から制御パルスのオン信号が出力されたときに2次コイル11bから出力されるパルス）のパルス幅を開拓して駆動スイッチ素子7のゲートに加

える構成としたことを特徴としている。

【0043】図5はこのリセットパルスの開拡状況を示したもので、図5の(a)はPWM制御回路12から出力される制御パルスを示し、同図の(b)はドライブトランス11の2次コイル11bから出力されるリセットパルスを示している。また、同図の(c)は抵抗体18のみによって開拡されたリセットパルスの波形を示し、同図の(d)は抵抗体18と19の共同によって開拡されたリセットパルスの波形を示す。

【0044】このように、パルス幅開拡回路によって、リセットパルスの幅が開拡されて駆動スイッチ素子7のゲートに加えられるので、この広いパルス幅の期間にわたって駆動スイッチ素子7がオン状態を維持できる。したがって、転流側同期整流素子6の入力容量電荷の引き抜き放電時間が長くなるので、その入力容量電荷の放電が確実に行われ、転流側同期整流素子6のターンオフを確実に行わせることができるという効果が得られる。

【0045】パルス幅開拡回路を設けないと、リセットパルスのパルス幅が狭い場合には、駆動スイッチ素子7のオン時間が短くなる。そのため、転流側同期整流素子6の入力容量の電荷が抜ききらないうちに駆動スイッチ素子7がオフして放電経路が断たれ、転流側同期整流素子6のターンオフ動作が正常に行われなくなるという真が生じる。第3実施形態例では、パルス幅開拡回路を設けているので、このような真は生ぜず、転流側同期整流素子6のターンオフ動作を信頼性をもって確実に行わせることができる。

【0046】本発明者の実験によれば、リセットパルスの開拡は抵抗体18と19のうち抵抗体18のみで充分であり、抵抗体19は省略してもよい。

【0047】この第3実施形態例のそれ以外の動作は前記第1実施形態例と同様であり、第1実施形態例によって得られる効果を当然に奏するものである。

【0048】図6は本発明の第4実施形態例を示す。この第4実施形態例が前記第1実施形態例と異なることは、メイントランス4の構造を簡易にするために、転流側同期整流素子6をターンオンする3次コイル4cを省略し、メイントランス4の2次コイル4bを用いて転流側同期整流素子6をターンオンする構成としたことである。そのため、駆動スイッチ素子7のドレインが転流側同期整流素子6のゲートに接続されている。

【0049】それ以外の構成は前記第1実施形態例と同様であり、第1実施形態例と同様な動作により、第1実施形態例と同様な短絡電流防止による効果が得られるものである。

【0050】図7は本発明に係る絶縁型DC-DCコンバータの第5実施形態例を示す。この第5実施形態例が前記第1実施形態例と異なることは、メイントランス4の1次側に、ドライブトランス11のリセットパルスの出力電圧をアップする瞬間短絡動作回路が設けられてい

ることである。それ以外の構成は前記第1実施形態例と同様である。この特徴的な瞬間短絡動作回路はnpnトランジスタ20と、コンデンサ21と、抵抗体22とによって構成されている。

【0051】コンデンサ21の一端側はPWM制御回路12の出力端側に接続され、コンデンサ21の他端側はnpnトランジスタ20のベースに接続されている。npnトランジスタ20のエミッタは主スイッチ素子2のソースと入力端子1bを結ぶ導通ライン28に接続されている。また、npnトランジスタ20のコレクタはドライブトランス11の1次コイル11aと主スイッチ素子2のゲートを結ぶ区間の充電経路に接続されている。そして、抵抗体22の一端はコンデンサ21とnpnトランジスタ20のゲートを結ぶ導通経路に接続され、抵抗体22の他端は前記導通ライン28に接続されている。

【0052】この瞬間短絡動作回路40は、PWM制御回路12から制御パルスのオン信号が出力されたときに、主スイッチ素子2の入力容量が小さい等の理由で、ドライブトランス11に駆動スイッチ素子7をターンオンする十分な電圧を発生できなくなる真を解消する回路構成と成している。

【0053】すなわち、コンデンサ21と抵抗体22の部分は微分回路となっている。この微分回路はPWM制御回路12から制御パルスのオン信号が出力されたとき、主スイッチ素子2の入力容量が充電されて主スイッチ素子2がターンオンする前の数十nsecの間だけ、npnトランジスタ20をオンさせて、主スイッチ素子2の入力容量(ゲート・ソース間)を短絡する。この短絡により、ドライブトランス11の1次コイル11aに瞬間的に大きな電圧(電流)を供給し、ドライブトランス11の2次コイル11bから駆動スイッチ素子7をオンさせる充分大きなパルス電圧を出力して、主スイッチ素子2がターンオンする前に転流側同期整流素子6を確実にターンオフさせることが可能となる。また、この回路では、主スイッチ素子2の入力容量(ゲート・ソース間)が短絡されているときには入力容量の充電が行われないので、PWM制御回路12から制御パルスのオン信号が出力されてから主スイッチ素子2の入力容量がターンオン電位まで充電される時間を遅らせることができるという効果が得られる。

【0054】図8は本発明の第6実施形態例を示す。この第6実施形態例が前記第1実施形態例と異なることは、早期オフ駆動回路30を論理回路を用いて構成したことであり、それ以外の構成は前記第1実施形態例と同様である。この第6実施形態例における早期オフ駆動回路30は、論理素子のNORゲート23と、ダイオード24と、抵抗体25と、コンデンサ26とを有して構成されている。

【0055】NORゲート23の出力端は転流側同期整

流素子6のゲートに接続され、NORゲート23の一方の入力端は整流側同期整流素子5のゲートとメイントランス4の2次コイル4bの巻き始め端とを結ぶ導通路に接続されている。また、NORゲート23の他方側の入力端は、ダイオード24と抵抗体25との並列回路を介してドライブトランス11の2次コイル11bの巻き終わり端に接続されている。なお、ダイオード24はカソード側をNORゲート23側の向きとしている。コンデンサ26はその一端側が同期整流素子5、6のソース側に接続され、他端側がダイオード24と抵抗体25の並列回路が接続されている側のNORゲート23の入力端子に接続されている。

【0056】この第6実施形態例においては、PWM制御回路12から制御パルスのオン信号が出力されてドライブトランス11の2次コイル11bにリセットパルスが発生したときに、NORゲート23はこのリセットパルスをうけて、主スイッチ素子2がターンオンする前に転流側同期整流素子6をターンオフさせる。この結果、前記各実施形態例と同様に転流側同期整流素子6のターンオフ遅れに起因する短絡電流の発生を防止し、回路動作の高効率化とノイズ低減を図ることができるものである。この実施形態例の回路においては、主スイッチ素子2のターンオン時にメイントランス4の2次コイル4bに発生するHレベル出力によっても転流側同期整流素子6をターンオフさせることが可能である。しかし、実際の回路動作では、メイントランス4の2次コイル4bにHレベル出力が現われるよりもドライブトランス11の2次コイル11bにリセットパルスが現われるのが早いので、2次コイル11bのリセットパルスによって転流側同期整流素子6のターンオフ動作が行われる。

【0057】この実施形態例の早期オフ駆動回路30に組み込まれているダイオード24と抵抗体25とコンデンサ26の回路部分はドライブトランス11に発生してNORゲート23に加えられるリセットパルスのパルス幅を広げる機能を持っている。なお、図8に示す例では、論理素子をNORゲート23で構成したが、インバータ、NANDゲート等の適宜の論理素子を用いて転流側同期整流素子6のターンオフを駆動する回路を早期オフ駆動回路30の回路として構成することが可能である。

【0058】図9は本発明に係る絶縁型DC-DCコンバータの第7実施形態例を示す。前述した第1～第6の各実施形態例では、等価回路的には主スイッチ素子2の入力容量（寄生容量）をドライブトランス11の1次コイル11aに直列に接続し、その入力容量を利用してドライブトランス11にパルスの電圧を発生させたが、第7実施形態例ではドライブトランス11にパルスの電圧を発生させるコンデンサを外付けのコンデンサによって構成したことを特徴としている。

【0059】そのため、第7実施形態例では、ドライブ

トランス11の1次コイル11aと外付けのコンデンサ31との直列回路が主スイッチ素子2の入力容量と並列に接続されている。そして、ドライブトランス11の1次コイル11aと外付けのコンデンサ31との直列回路がLC共振回路を構成している。また、ダイオード13のカソード側が1次コイル11aの巻き始め端側に接続され、ダイオード13のアノード側は、1次コイル11aの巻き終わり端側に接続されている。それ以外の構成は前記第1実施形態例と同様であり、第1実施形態例と同様な回路動作により、第1実施形態例と同様な効果を得ることができる。なお、この第7実施形態例の回路で、メイントランス4の2次側の回路は図4、図6、図8の2次側の回路と同様に構成することも可能である。

【0060】以上説明した各実施形態例の回路は、いずれもメイントランス4とドライブトランス11の2つのトランスを備えている。この2つのトランスは、それぞれ別個のコアを用いてそれぞれ独立した別個のトランス構成としてもよいが、1個の共通のコアを用いてメイントランス4とドライブトランス11を構成してもよい。

【0061】1個のコアを用い巻線を巻いて2つのトランス4、11を構成する場合、装置の小型化のためにはドライブトランス11の巻線の巻回数を少なくすることが望ましい。また、基板上にコアとコイルのパターンを印刷して、共通の1個のコアを用いて2つのトランスを基板上に形成する場合も、コイルパターンの幅とパターン間隔に規格上の制約があるため、コイルのパターン数が多くなるとトランスが大型化してしまうという問題がある。そのため、基板上に2個のトランス4、11を形成する場合もドライブトランス11のコイルのパターン巻回数は少なくすることが望ましい。

【0062】しかし、ドライブトランス11の巻線や、パターンの巻回数を少なくすると、ドライブトランスの励磁インダクタンスが小さくなり、主スイッチ素子2のスイッチング周波数が例えば数百kHzという如く1MHz未満の周波数の場合には、その低周波数の信号をドライブトランス11の1次側から2次側に伝送するのが困難になるという事情がある。

【0063】この点、上記第1～第6実施形態例では、主スイッチ素子2の入力容量を利用して、また、第7実施形態例ではコンデンサ31を利用してドライブトランス11の1次コイル11aとで直列LC共振回路を形成し、狭幅のパルスの形態で、つまり、高周波のパルスの形態に変換してドライブトランス11の1次側から2次側へ信号を伝達するようにしている。そのため、主スイッチ素子2のスイッチング周波数を1MHz未満の例えば500kHzという如く低周波数で動作させた場合においても、ドライブトランス11の1次側から2次側へリセットパルスを支障無く信頼性をもって伝達することが可能である。

【0064】そのため、上記各実施形態例の回路構成と

することで、メイントランス4とドライブトランス11を1個の共通のコアを用いて形成し、ドライブトランス11のコイル数を少なくして装置の小型化、低コスト化、トランス設置の省スペース化を図り、かつ、低周波数でスイッチング動作を行わせるにも拘らず、ドライブトランス11のパルスを早期オフ駆動回路30へ確実に伝達して転流側同期整流素子6のターンオフ動作のタイミングを正確にコントロールできるという画期的な効果を奏することが可能である。

【0065】なお、本発明は上記実施形態例に限定されことなく様々な実施の形態を採り得る。例えば、上記各実施形態例で示したメイントランス4の1次側と2次側の回路の組み合わせを変える（その場合、必要に応じ回路変更を加える）ことで、様々な組み合わせパターンの回路構成とすることができる。

【0066】また、上記各実施形態例では、転流側同期整流素子6のターンオフのタイミングを主スイッチ素子2のターンオン前としたが、転流側同期整流素子6にドレイン電圧が発生する以前であればよい（転流側同期整流素子6のドレイン電圧は、主スイッチ素子2がターンオンしてから数十nsec遅れて正の電圧が現れる）。

【0067】この点をさらに説明すれば次の如くである。PWM制御回路12から制御パルスのオン信号が出力されてからドライブトランス11が励磁されてリセットパルスが出力されるまでに例えば、20nsecの遅れがあり、リセットパルスを受けて駆動スイッチ素子7がオンするまで（駆動スイッチ素子7の入力容量が充電されるまで）に例えば20nsecの遅れがあり、さらに、駆動スイッチ素子7がターンオンしてから転流側同期整流素子6の入力容量電荷が引き抜かれて同期整流素子6がターンオフするまでに例えば20nsecの遅れがある。

【0068】その一方で、PWM制御回路12から制御パルスのオン信号が出力されてから主スイッチ素子2の入力容量が充電されて主スイッチ素子2がターンオンするまでに数十nsecの遅れがあり、主スイッチ素子2がターンオンしてからメイントランス4が励磁されて2次コイル4bに転流側同期整流素子6のドレイン電圧が現れるまでに、トランスのリーケージインダクタンスを原因とする数十nsecの遅れがある。

【0069】したがって、PWM制御回路12からオン信号が出力されてから転流側同期整流素子6がターンオフするまでの遅れ時間を、PWM制御回路12からオン信号が出力されてから転流側同期整流素子6に2次コイル4bのドレイン電圧が現れるまでの遅れ時間よりも小さくするように設計することにより、整流側同期整流素子5がターンオンする前に転流側同期整流素子6をターンオフさせることができる。このことにより、転流側同期整流素子6のターンオフ遅れに起因した短絡電流の発生を確実に防止することができることとなる。

【0070】さらに、上記各実施形態例では、主スイッチ素子2、同期整流素子5、6、駆動スイッチ素子7の各スイッチ素子をNチャンネルMOSFETとしたが、例えば、PチャンネルMOSFET、バイポーラトランジスタ、IGBT等の他の種類のスイッチ素子を用いて構成してもよい。

【0071】さらに、上記各実施形態例の整流側の同期整流素子5はダイオードを用いてもよい。

【0072】さらに、上記実施形態例では、単出力のDC-DCコンバータの回路例で説明したが、本発明の絶縁型DC-DCコンバータは多出力（2以上の出力）の絶縁型DC-DCコンバータとしてもよい。

【0073】さらに、上記各実施形態例では、共振リセットフォワードコンバータタイプの絶縁型DC-DCコンバータを例にして説明したが、本発明はフライバックコンバータタイプの絶縁型DC-DCコンバータに適用することが可能である。図10はその一例を示す。この図10に示す回路は電流連続モードのフライバックコンバータタイプの絶縁型DC-DCコンバータである。この図10の回路は、上記図8に示した第6実施形態例の共振リセットフォワードコンバータタイプの早期オフ駆動回路30の回路をフライバックコンバータタイプの絶縁型DC-DCコンバータに組み込んだ回路構成となっており、上記各実施形態例の回路と共通する回路素子には同一符号が付されている。

【0074】図10の回路は、主スイッチ素子2がオン期間のときにメイントランス4の1次コイル4aに電磁エネルギーを蓄え、主スイッチ素子2がターンオフしたときにその蓄えたエネルギーをメイントランス4の2次側に伝達するように回路動作を行うものである。

【0075】この図10に示す回路も、主スイッチ素子2がターンオンする前に同期整流素子6をターンオフして同期整流素子6のターンオフの遅れに起因する回路効率の低下およびノイズの発生を防止することが可能である。

【0076】

【発明の効果】本発明は、メイントランスの1次側に主スイッチ素子を備え、メイントランスの2次側に主スイッチ素子のターンオン時に同期させてターンオフし、主スイッチ素子のターンオフ時に同期させてターンオンする同期整流素子を設けた絶縁型DC-DCコンバータにおいて、前記主スイッチ素子の充電回路に接続されて前記主スイッチ素子を駆動する制御パルスのオン信号が出力されたときにパルスを出力するドライブトランスと、このドライブトランスのパルスを受けて前記同期整流素子を主スイッチ素子がターンオンする前にターンオフさせる早期オフ駆動回路を設けた構成としたので、主スイッチ素子がターンオンしたときには既に同期整流素子はターンオフしているため、メイントランスの2次側に同期整流素子のターンオフの遅れに起因して、同期整流素

子を通る短絡通路が形成されるのを防止できる。

【0077】このことにより、前記同期整流素子のターンオフの遅れに起因して同期整流素子を通る通路に大量の短絡電流が流れるのを防止できるので、この短絡電流の流れにより、大きな導通損失が生じるのを防止できるとともに、短絡電流がノイズ源となる弊害も防止できる。このことにより、回路効率に優れ、ノイズの無い高性能の絶縁型DC-DCコンバータを提供することが可能である。

【0078】また、回路動作の損失が小さいため、低損失の高周波駆動が可能であり、将来の目標とされる、小型軽量、低コスト、低損失、高性能および高信頼性の高周波タイプ絶縁型DC-DCコンバータの市場要求に充分応えることができる。

【0079】さらに、前記早期オフ駆動回路によってターンオフされる同期整流素子のターンオン動作をメイントランスのリセットパルスによって行う構成としたことで、主スイッチ素子のオフ期間のほぼ全領域にわたって同期整流素子をオン状態に維持できるので、主スイッチ素子のオフ期間における回路動作の効率化を図ることができる。

【0080】さらに、主スイッチ素子のオン・オフを制御する制御パルスのオン出力時（オン信号の出力時）に補助電源出力を増幅してドライブトランスの1次コイルに加えるトータムボール回路をメイントランスの1次側に設ける構成としたものや、主スイッチ素子のオン駆動時（制御パルスのオン信号出力時）に該主スイッチ素子がターンオンする前に主スイッチ素子の入力容量を瞬間的に短絡してドライブトランスの出力をアップする瞬間短絡動作回路をメイントランスの1次側に設けた構成とすることにより、同期整流素子をターンオフ駆動させる充分大きな出力をドライブトランスから早期オフ駆動回路へ供給できる。このことで、主スイッチ素子がターンオンする前に同期整流素子を確実にターンオフさせることが可能であり、同期整流素子のターンオフ遅れ防止の回路動作の信頼性を高めることができる。

【0081】さらに、同期整流素子の入力容量の電荷をターンオン状態にある駆動スイッチ素子を通し引き抜くことで同期整流素子がターンオフされる構成とし、駆動スイッチ素子をターンオン駆動するドライブトランスのパルスを広げて駆動スイッチ素子に加えるパルス幅開拓回路を早期オフ駆動回路に設けることにより、ドライブ

トランスから出力されるパルスのパルス幅が狭い場合においても、確実に駆動スイッチ素子をターンオンさせ、同期整流素子の入力容量の電荷を迅速に引き抜いて、主スイッチ素子がターンオンする前に同期整流素子を確実にターンオフさせることができ、同期整流素子のターンオフ遅れ防止の回路動作の信頼性を高めることができる。

【図面の簡単な説明】

【図1】本発明に係る絶縁型DC-DCコンバータの第1実施形態例の回路図である。

【図2】第1実施形態例の主要回路要素部分の波形説明図である。

【図3】絶縁型DC-DCコンバータの第2実施形態例の回路図である。

【図4】絶縁型DC-DCコンバータの第3実施形態例の回路図である。

【図5】図4の回路中のパルス幅開拓回路の動作波形の説明図である。

【図6】絶縁型DC-DCコンバータの第4実施形態例の回路図である。

【図7】絶縁型DC-DCコンバータの第5実施形態例の回路図である。

【図8】絶縁型DC-DCコンバータの第6実施形態例の回路図である。

【図9】絶縁型DC-DCコンバータの第7実施形態例の回路図である。

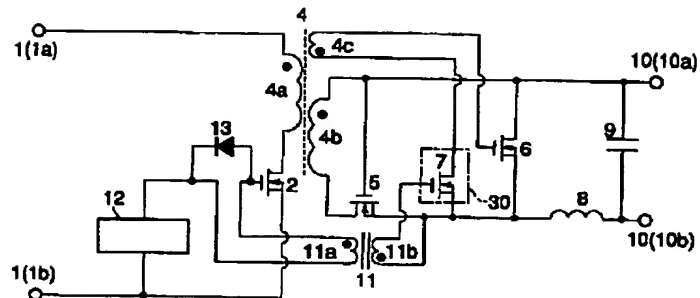
【図10】フライバックコンバータタイプの絶縁型DC-DCコンバータの実施形態例を示す回路図である。

【図11】従来例の絶縁型DC-DCコンバータの回路図である。

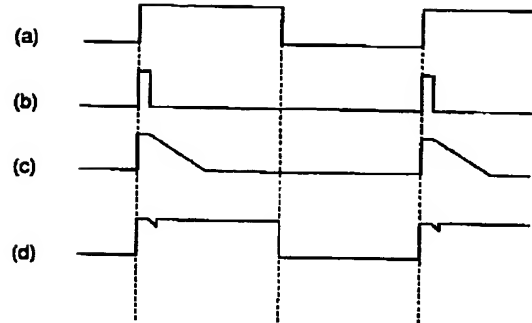
【符号の説明】

- 1 (1a、1b) 入力端子
- 2 主スイッチ素子
- 4 メイントランス
- 5 同期整流素子
- 6 同期整流素子
- 7 駆動スイッチ素子
- 10 (10a、10b) 出力端子
- 11 ドライブトランス
- 30 早期オフ駆動回路
- 40 瞬間短絡動作回路

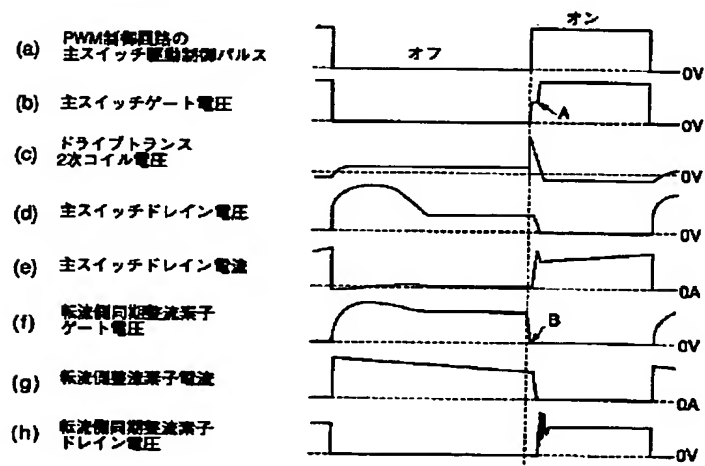
【図 1】



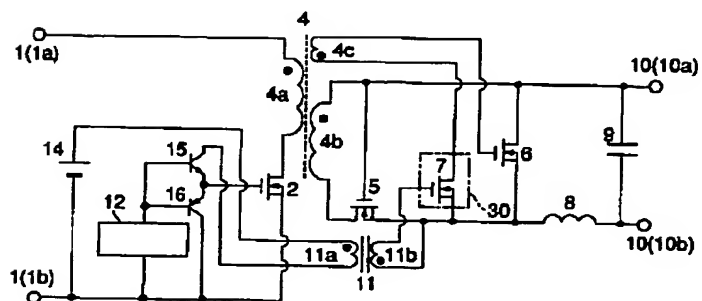
【図 5】



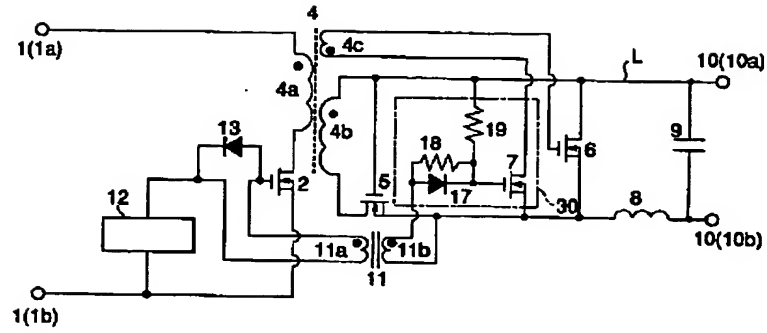
【図 2】



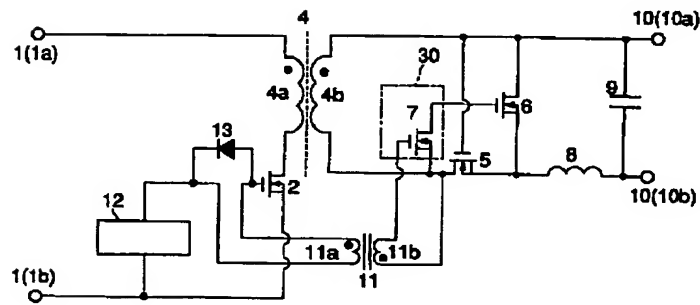
【図 3】



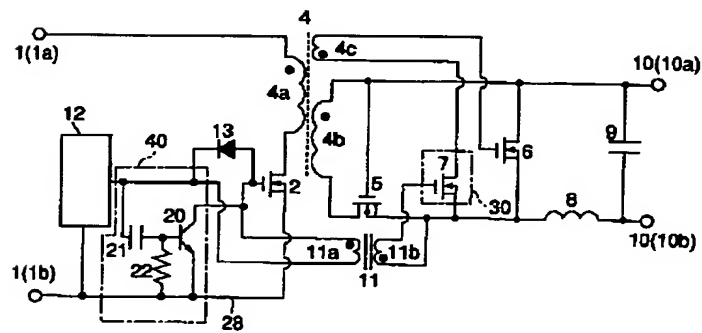
【図 4】



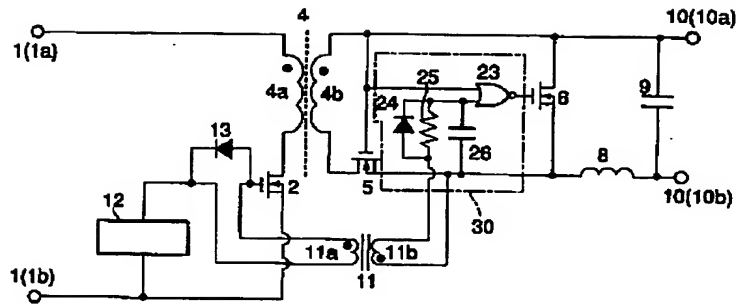
【図 6】



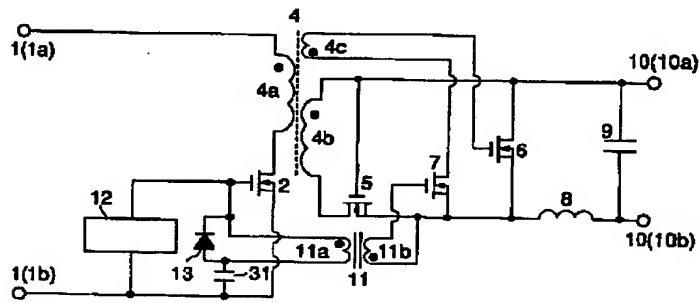
【図 7】



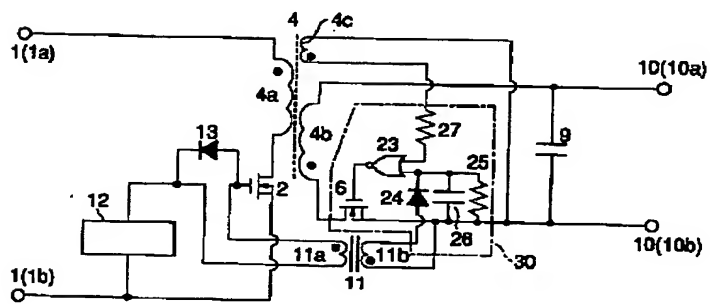
【図 8】



【図 9】



【図 10】



【図 11】

